

GILLES BOSCO

8 Imp Félix Fréchier
13520 Maussane les Alpilles

0643425658
gilles.bosco@yahoo.com

FORMATION

- 9/1993 – 12/1996** **Doctorat en Synthèse Logique, CSI/INPG** (Conception de Systèmes Intégrés / Institut National Polytechnique de Grenoble), Grenoble.
Sujet: “Synthèse et décomposition technologique sur réseaux programmables et ASICs”.
- 10/1992 – 6/1993** **D.E.A. de Recherche Opérationnelle** (Mathématiques appliquées), Université Joseph Fourier, Grenoble.
- 10/1990 – 6/1993** **Diplôme d’Ingénieur, ENSIMAG** (École Nationale Supérieure d’Informatique et de Mathématiques Appliquées de Grenoble), Grenoble.

EXPERIENCE

09/2013-Maintenant : Vacataire dans l'enseignement secondaire privé et dans l'enseignement supérieur

- Professeur vacataire de mathématiques et/ou informatique dans le secondaire.
- Professeur vacataire de mathématiques à l'IUT informatique (cours magistraux, travaux dirigés, travaux pratiques) , Université Aix-Marseille(site d'Arles)

12/2008 – 07/2013 Ingénieur informatique, Sedna, La Rochelle.

Développement d'un outil agroalimentaire destinée aux criées à poissons sous Visual C++.

- Développement d’un logiciel de vision industrielle pour la détection et la localisation 3D (par stéréo-vision) de détails du poisson dans un bac.
- Utilisation d'un crayon optique manié par un bras de robot.
- Développement d'un système client-serveur pour le contrôle du bras de robot.
- Programmation du bras de robot.
- Représentation 3D des détails du poisson repérés par la stéréo-vision.
- Classification du poisson en fonction de critères obtenus par la représentation 3D.

12/2007 – 02/2008 Ingénieur, Alten, Sophia Antipolis.

Rien, pas de client.

12/1997 – 10/2007 Senior Software Engineer, Staff Engineer, Lattice/Vantis/AMD, San José, California.

Développement d'outils de programmation de silicons programmables CPLD (Complex Programmable Logic Device) et FPGA (Field Program Gates Arrays) sous Visual C++ , porté sur Unix et Linux.

- Optimisation logique/Partitionneur/Placement/Routage pour CPLD (Complex Programmable Logic Devices), familles MACH4, MACH5, MACH6.
- Décomposition technologique (mapping) et optimisation logique pour FPGA , famille ECP, ECP2 et ECP3.
- Optimisation logique et décomposition technologique (mapping) et pour FPGA.
- Support du pré-routage et routage pour FPGA, familles ECP, ECP2 et ECP3.
- Développement de modules arithmétiques sur DSP pour FPGA.
- Rédaction des specs/ERDs (Engineering Requirement Document) en accord avec les MRDs (Marketing Requirement Document) fournis.
- Évaluation et définition de nouvelles architectures CPLD et FPGA.
- Tech-lead sur les projets MACH.
- Test unitaire, maintient et débogage du logiciel.

12/1996 – 11/1997 Chercheur, Laboratoire CSI/INPG, Grenoble.

Détaché chez AMD.

CONNAISSANCES

Recherche Opérationnelle, Mathématiques discrètes, Théorie des Graphes, Modélisation, Optimisation, Algorithmique, Complexité, Algèbre Booléenne.

O.S.: MS DOS, Windows, UNIX, Linux.

Langages: C, C++, Pascal, LISP.

Outils: Visual C++, Work, Quantify, Purify

DIVERS

Brevets: Trois approuvés (USA).

Langues: Anglais (courant), Italien (moyen).